

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000124354 A**

(43) Date of publication of application: **28.04.00**

(51) Int. Cl

**H01L 23/12**  
**H01L 21/60**

(21) Application number: **10299859**

(22) Date of filing: **21.10.98**

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **YAMAGUCHI KAZUFUMI**  
**TATEISHI FUMIKAZU**

**(54) CHIP-SIZE PACKAGE AND ITS MANUFACTURE**

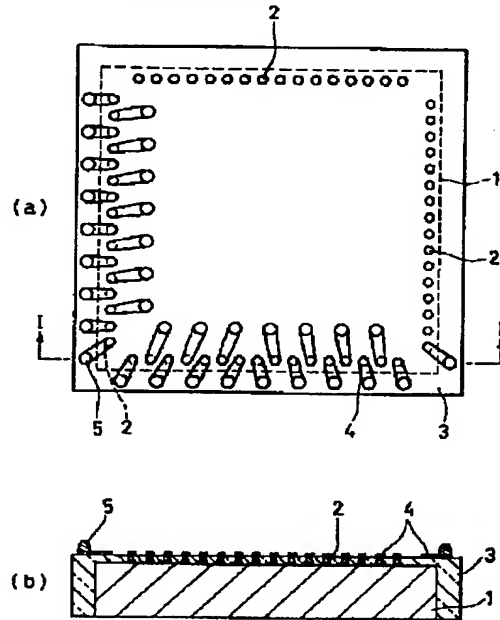
**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide a chip-size package and its manufacture, which can make a highly accurate electrical connection between a bump and a wiring pattern and obtain both bump-pitch reduction and bump-strength improvement, and which are high in mass-productivity by forming a bump array into a multilayered structure.

**SOLUTION:** A bump array 2 of a 1st layer and an insulating layer 3 are formed on a semiconductor chip 1, the bump array 2 of the 1st layer is exposed in the insulating layer 3, and a bump array 5 of a 2nd layer is formed on a wiring pattern 4 on the insulating layer 5 and is electrically connected to the bump array 2 of the 1st layer. If the material for the insulation layer is set as light-transmissive resin, the semiconductor chip is able to have a wiring pattern formed, while optically positioning faces up through photolithography, and the bump arrays and wiring pattern can be positioned with high accuracy. When the bumps of the 2nd layer are made larger in size than those of the bumps of the 1st layer, improvements in both the bump-pitch reduction and

bump-strength improvement can be made.

COPYRIGHT: (C)2000,JPO



(11)特許出願公開番号

特開2000-124354

(P2000-124354A)

(43)公開日 平成12年4月28日(2000.4.28)

(51) Int.Cl.<sup>7</sup>

**識別記号**

FI

テーマコート・(参考)

H O 1 L 23/12

H O 1 L 23/12

L 5 F 0 4 4

21/60

**3 1 1**

21/60

3 1 1 Q

21/92

602D

604R

604S

審査請求 未請求 請求項の数17 O L (全 11 頁)

(21)出願番号

特願平10-299859

(22) 出願日

平成10年10月21日(1998. 10. 21)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 山口 和文

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72)発明者 立石 文和

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 100095555

弁理士 池内 寛幸 (外1名)

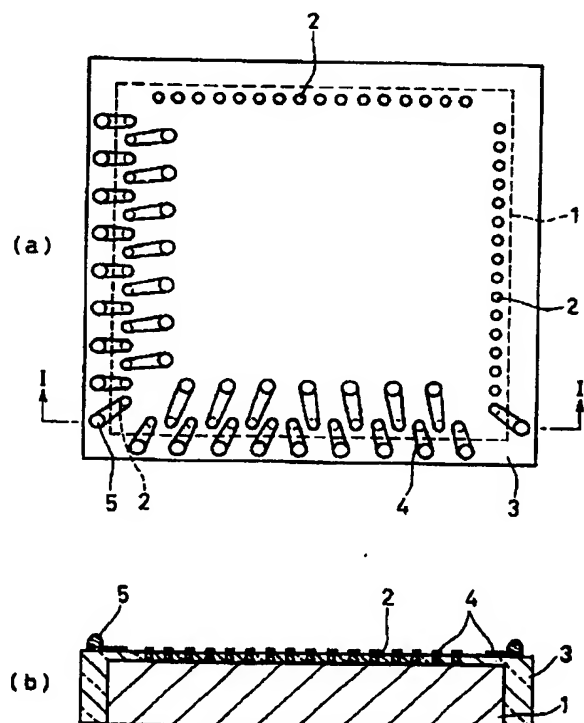
Fターム(参考) 5F044 QQ02 QQ04 QQ09

(54) 【発明の名称】 チップサイズパッケージ及びその製造方法

(57) 【要約】

【課題】 パンプアレイを複数階層構造とすることにより、パンプと配線パターンとの高精度な電気接続ができ、パンプピッチ縮小とパンプ強度向上の両立ができ、かつ量産性の高いチップサイズパッケージ及びその製造方法を提供する。

【解決手段】 半導体チップ1上に第1階層のパンプアレイ2及び絶縁層3が形成され、絶縁層3に第1階層のパンプアレイ2が露出し、絶縁層3上の配線パターン4上に第2階層のパンプアレイ5が形成され、第2階層のパンプアレイ5と第1階層のパンプアレイ2とが電気接続されている。絶縁層の材料を光透過性樹脂とすれば、半導体チップは表向きで、フォトリソ法で光学的に位置合わせしながら配線パターンを形成でき、パンプアレイと配線パターンとの高精度な位置合わせができる。第1階層のパンプに比べて第2階層のパンプのサイズを大きくすれば、パンプピッチ縮小とパンプ強度向上との両立ができる。



**【特許請求の範囲】**

【請求項1】 半導体チップ上にバンパアレイが複数の階層に形成され、最下段の階層のバンパアレイは、前記半導体チップの電極パッド上に形成され、前記最下段の階層のバンパアレイより上階層のバンパアレイは、絶縁層上に形成され、かつ前記各上階層のバンパアレイ底部は、下側の階層のバンパアレイ頂部と配線パターンを介して電氣的に接続されていることを特徴とするチップサイズパッケージ。

【請求項2】 前記バンパアレイが2つの階層に形成され、前記半導体チップの電極パッド上に第1階層のバンパアレイが形成され、前記半導体チップ上に表面が平坦化された前記絶縁層が形成され、前記絶縁層の表面に前記第1階層のバンパアレイの頂部が露出し、前記絶縁層上に前記配線パターンが形成され、前記配線パターン上に第2階層のバンパアレイが形成され、前記配線パターンを介して前記第2階層のバンパアレイの底部と前記絶縁層の表面に露出した前記第1階層のバンパアレイの頂部とが電氣的に接続されている請求項1に記載のチップサイズパッケージ。

【請求項3】 前記第2階層のバンパアレイのバンパ間ピッチが、前記第1階層のバンパアレイのバンパ間ピッチより大きい請求項2に記載のチップサイズパッケージ。

【請求項4】 前記第2階層のバンパアレイがグリッド状に配列されている請求項2又は3に記載のチップサイズパッケージ。

【請求項5】 前記第2階層のバンパアレイの各バンパは、前記第1階層のバンパアレイの各バンパより、断面積が大きく、かつ高さが高い請求項2から4のいずれかに記載のチップサイズパッケージ。

【請求項6】 前記半導体チップの表面及び側面上に前記絶縁層が形成されている請求項1から5のいずれかに記載のチップサイズパッケージ。

【請求項7】 前記半導体チップの平面形状と前記絶縁層の平面形状とが、ほぼ同一である請求項1から6のいずれかに記載のチップサイズパッケージ。

【請求項8】 前記絶縁層の材料が、熱可塑性樹脂である請求項1から7のいずれかに記載のチップサイズパッケージ。

【請求項9】 前記絶縁層の材料が、光透過性樹脂である請求項1から8のいずれかに記載のチップサイズパッケージ。

【請求項10】 半導体チップの電極パッド上に第1階層のバンパアレイを形成する工程と、前記第1階層のバンパアレイを絶縁性材料で埋め込んで絶縁層を形成する工程と、前記絶縁層表面の研削又は研磨により、前記第1階層のバンパアレイ表面を前記絶縁層表面に露出させるとともに、前記絶縁層表面を平坦化させる工程と、前記露出した第1階層のバンパアレイ表面に接続する配線

パターンを形成する工程と、前記配線パターンをランドとして前記配線パターンに第2階層のバンパアレイを形成する工程とを備えたことを特徴とするチップサイズパッケージの製造方法。

【請求項11】 前記半導体チップのうち、少なくとも前記第1階層のバンパアレイを含む面上に、熱可塑性樹脂を浸漬法又はコータ法により塗布することにより、前記第1階層のバンパアレイを熱可塑性樹脂に埋め込んで、前記絶縁層を形成する請求項10に記載のチップサイズパッケージの製造方法。

【請求項12】 前記絶縁性材料として光透過性樹脂を用い、前記平坦化された絶縁層表面及び前記露出した第1階層のバンパアレイ表面上に、マスク合わせ用窓を形成する複数の領域を除いて前記配線パターン形成用の導電性金属膜を堆積し、前記導電性金属膜の表面にフォトレジストを塗布し、前記配線パターン用のフォトマスク上の合わせマークと、予め形成している前記半導体チップ上のマスク合わせマークとを、前記マスク合わせ用窓を通して合致させて露光し、前記フォトレジストの現像と、前記導電性金属膜のエッチングとを行なうことにより前記配線パターンを形成する請求項10又は11に記載のチップサイズパッケージの製造方法。

【請求項13】 半導体ウエハ表面の電極パッド上に第1階層のバンパアレイを形成する工程と、前記第1階層のバンパアレイを絶縁性材料に埋め込んで絶縁層を形成する工程と、前記絶縁層表面の研削又は研磨により、前記第1階層のバンパアレイ表面を露出させるとともに、前記絶縁層表面を平坦化させる工程と、前記露出した第1階層のバンパアレイ表面に接続する配線パターンを形成する工程と、前記配線パターンをランドとして前記配線パターンに第2階層のバンパアレイを形成する工程と、前記半導体ウエハを半導体チップ毎に切断する工程とを備えたことを特徴とするチップサイズパッケージの製造方法。

【請求項14】 半導体ウエハ表面の電極パッド上に第1階層のバンパアレイを形成する工程と、前記半導体ウエハの裏面にシートを張り付ける工程と、切断刃により前記シートを残して、前記半導体ウエハをチップ毎に切断する工程と、前記第1階層のバンパアレイ及び前記切断により形成された切断溝とを絶縁性材料に埋め込んで絶縁層を形成する工程と、前記絶縁層表面の研削又は研磨により、前記第1階層のバンパアレイ表面を露出させるとともに、前記絶縁層表面を平坦化させる工程と、前記露出した第1階層のバンパアレイ表面に接続する配線パターンを形成する工程と、前記配線パターンをランドとして前記配線パターンに第2階層のバンパアレイを形成する工程と、前記切断刃より薄い刃で前記半導体ウエハをチップ毎に再度切断する工程とを備えたことを特徴とするチップサイズパッケージの製造方法。

【請求項15】 前記半導体ウエハのうち、前記第1階

層の bumps アレイを含む面上に、熱可塑性樹脂を浸漬法又はコータ法により塗布することにより、前記第1階層の bumps アレイを熱可塑性樹脂に埋め込んで、前記絶縁層を形成する請求項13または14に記載のチップサイズパッケージの製造方法。

【請求項16】 前記半導体ウエハのうち、前記第1階層の bumps アレイを含む面上に、熱可塑性樹脂のシートを張り付け、前記シートの軟化温度以上の温度で熱圧縮することにより、前記第1階層の bumps アレイを熱可塑性樹脂に埋め込んで、前記絶縁層を形成する請求項13または14に記載のチップサイズパッケージの製造方法。

【請求項17】 前記絶縁性材料として光透過性樹脂を用い、前記平坦化された絶縁層表面及び前記露出した第1階層の bumps アレイ表面上に、マスク合わせ用窓を形成する複数の領域を除いて前記配線パターン形成用の導電性金属膜を堆積し、前記導電性金属膜の表面にフォトリソを塗布し、配線パターン用のフォトマスク上の合わせマークと、予め形成している前記半導体ウエハ上のマスク合わせマークとを、前記マスク合わせ用窓を通して合致させて露光し、前記フォトリソの現像と、前記導電性金属膜のエッチングとを行なうことにより前記配線パターンを形成する請求項13から16のいずれかに記載のチップサイズパッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップを回路基板に高密度で実装するためのチップサイズパッケージ及びその製造方法に関するものである。

【0002】

【従来の技術】半導体LSIの進展及び電子機器の小型、高機能化の流れに伴って、LSIチップ及び一般電子部品の高密度実装の要求が高まっている。昨今、表面実装技術の飛躍的な進歩によって、ある程度こうした要求は満たされてきているが、その要求される技術レベルは更に高くなっている。高密度実装のための要素技術は、パッケージを含めた実装部品の小型化、接続端子の緻密化、回路パターン of 緻密化、及び放熱技術等である。

【0003】特に半導体LSIの進展は著しく、パッケージの面から見ると、DIPパッケージからQFPパッケージ、チップサイズパッケージ(以下、「CSP」という。)へと小型化へ向けて進展している。

【0004】CSPは、半導体チップと実質的に同一のサイズであり、各種のタイプが開発され、実用化が展開されている。CSPの開発においては、半導体チップを保護しつつ、半導体チップ上の電極パッドから如何にしてコンパクトに外部回路基板との接続端子を引き出すかが課題である。

【0005】各種構造のCSPが開発されているが、特

開平6-224259号公報に提案されているCSPの断面図を図8に示す。本図に示したCSPは、半導体チップ1、半導体チップ1に設けた接続用 bumps 12、キャリア基板13を備えている。

【0006】キャリア基板13は、絶縁層14、配線層15、層間接続用ビア16、チップ側電極17、及び外部接続用端子18を備えている。

【0007】半導体チップ1側のキャリア基板13の表面側における平面図を図9(a)に、その裏面側における平面図を図9(b)に示す。半導体チップ1とキャリア基板13との間では、図9(a)に示すように周辺の4辺に沿ってチップ側電極17が高密度で配列されている。各チップ側電極17は、図8に示すように半導体チップ1に設けた接続用 bumps 12に接続されている。

【0008】また、図9(b)に示すように、外部接続用端子18は面積当たりの接続端子数を最も多くできるように、キャリア基板13の裏面に2次元グリッド状に配置されている。すなわち、キャリア基板13は、4辺配列のパッド配列を2次元グリッド配列に変換し、パッドピッチを拡大する働きをしている。

【0009】

【発明が解決しようとする課題】しかしながら、前記のような従来のCSPは、以下のような問題があった。

【0010】(1)従来のCSPは、半導体チップとキャリア基板とを張り付ける構造であり、この張り付けの際には、半導体チップ上に形成した接続用 bumps とキャリア基板上に形成したチップ側電極とを位置合わせして電氣的に接続する必要がある。このため、電極パッドピッチが縮小化することにつれて、半導体チップ上の接続用 bumps とキャリア基板上のチップ側電極との接続には高い位置精度が必要であった。

【0011】(2)フリップチップ方式では半導体チップを裏向けにして張り合わせる必要があり、 bumps 位置、電極位置が目視できないために、その位置合わせが極めて難しかった。このため、側面に設けた位置基準を用いた位置合わせにより張り合わせが行われているが、半導体チップ及びキャリア基板の位置基準のずれ、位置合わせミスが発生すると致命的な問題となり、実装歩留まりが低下していた。

【0012】(3)従来のCSPでは、半導体チップと実装基板との熱膨張の差によって生ずるせん断応力を、 bumps を高くすることにより緩和、吸収している。しかしながら、実用上、 bumps の高さはその bumps 形成プロセスから可能なアスペクト比で決まり、パッドピッチの縮小化に伴って、その高さも低くせざるを得ない。このため、前記のような熱膨張の差によるせん断応力を緩和、吸収し得る十分な高さの bumps を形成することが困難であった。

【0013】(4)パッドピッチの縮小に伴って、 bumps の断面積を小さくする必要があり、 bumps の断面積を小

さくするとバンプの機械的強度が低下し、回路基板への実装に際してチップリペア耐性が低下してしまう。

【0014】本発明は、前記のような従来の問題を解決するものであり、バンプアレイを複数の階層構造とすることにより、半導体チップに形成したバンプと配線パターンとの高精度な電気接続ができ、バンプピッチの縮小とバンプ強度向上との両立ができ、かつ量産性の高いCSP及びその製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】前記目的を達成するために、本発明のチップサイズパッケージは、半導体チップ上にバンプアレイが複数の階層に形成され、最下段の階層のバンプアレイは、前記半導体チップの電極パッド上に形成され、前記最下段の階層のバンプアレイより上階層のバンプアレイは、絶縁層上に形成され、かつ前記各上階層のバンプアレイ底部は、下側の階層のバンプアレイ頂部と配線パターンを介して電気的に接続されていることを特徴とする。

【0016】前記のようなチップサイズパッケージによれば、バンプアレイを複数の階層構造としているので、必然的にバンプ全体の高さが高くなり、チップサイズパッケージと回路基板との熱膨張の差によるせん断応力を緩和、軽減でき信頼性が向上する。さらに、配線層をより多層にできるので、外部接続用のバンプアレイの配列自由度を増大でき、より多ピンのチップサイズパッケージが可能になる。

【0017】前記チップサイズパッケージにおいては、前記バンプアレイが2つの階層に形成され、前記半導体チップの電極パッド上に第1階層のバンプアレイが形成され、前記半導体チップ上に表面が平坦化された前記絶縁層が形成され、前記絶縁層の表面に前記第1階層のバンプアレイの頂部が露出し、前記絶縁層上に前記配線パターンが形成され、前記配線パターン上に第2階層のバンプアレイが形成され、前記配線パターンを介して前記第2階層のバンプアレイの底部と前記絶縁層の表面に露出した前記第1階層のバンプアレイの頂部とが電気的に接続されていることが好ましい。

【0018】また、前記第2階層のバンプアレイのバンプ間ピッチが、前記第1階層のバンプアレイのバンプ間ピッチより大きいことが好ましい。前記のようなチップサイズパッケージによれば、回路基板への実装を容易にでき、実装歩留まりを向上させることができる。

【0019】また、前記第2階層のバンプアレイがグリッド状に配列されていることが好ましい。前記のようなチップサイズパッケージによれば、面積当たりのバンプ数を最も多くできる。

【0020】また、前記第2階層のバンプアレイの各バンプは、前記第1階層のバンプアレイの各バンプより、断面積が大きく、かつ高さが高いことが好ましい。前記のように、第1階層のバンプに比べて第2階層のバンプ

のサイズを大きくすることにより、回路基板との接続用の第2階層のバンプ強度が増大し、チップのリペア耐性が向上する。すなわち、第1階層のバンプのサイズを小さくすることによるバンプピッチの縮小化と、第2階層のバンプのサイズを大きくすることによるバンプ強度向上とを両立させることができる。

【0021】また、前記半導体チップの表面及び側面上に前記絶縁層が形成されていることが好ましい。前記のようなチップサイズパッケージによれば、力学的衝撃又は熱衝撃による半導体チップの欠けを防止できる。

【0022】また、前記半導体チップの平面形状と前記絶縁層の平面形状とが、ほぼ同一であることが好ましい。前記のようなチップサイズパッケージによれば、チップサイズパッケージをウエハ単位で製造することができ、量産性を向上させることができる。

【0023】また、前記絶縁層の材料が、熱可塑性樹脂であることが好ましい。熱可塑性樹脂を用いることによって更に熱膨張差による応力を緩和できる。

【0024】また、前記絶縁層の材料が、光透過性樹脂であることが好ましい。光透過性樹脂を用いることによって、半導体チップは表向きで、フォトリソ法で光学的に位置合わせしながら配線パターンを形成できるので、バンプアレイ頂部と配線パターンとの位置合わせが高精度にできる。

【0025】次に、本発明の第1番目のチップサイズパッケージの製造方法は、半導体チップの電極パッド上に第1階層のバンプアレイを形成する工程と、前記第1階層のバンプアレイを絶縁性材料で埋め込んで絶縁層を形成する工程と、前記絶縁層表面の研削又は研磨により、前記第1階層のバンプアレイ表面を前記絶縁層表面に露出させるとともに、前記絶縁層表面を平坦化させる工程と、前記露出した第1階層のバンプアレイ表面に接続する配線パターンを形成する工程と、前記配線パターンをランドとして前記配線パターンに第2階層のバンプアレイを形成する工程とを備えたことを特徴とする。

【0026】前記のようなチップサイズパッケージの製造方法によれば、半導体チップ上に複数階層のバンプアレイを形成できる。また、絶縁層の形成工程、絶縁層の平坦化工程、配線パターン形成工程、バンプアレイの形成工程を繰り返すことにより、より多階層のバンプアレイを有するチップサイズパッケージを製造することができる。

【0027】前記第1番目のチップサイズパッケージの製造方法においては、前記半導体チップのうち、少なくとも前記第1階層のバンプアレイを含む面上に、熱可塑性樹脂を浸漬法又はコータ法により塗布することにより、前記第1階層のバンプアレイを熱可塑性樹脂に埋め込んで、前記絶縁層を形成することが好ましい。

【0028】また、前記絶縁性材料として光透過性樹脂を用い、前記平坦化された絶縁層表面及び前記露出した

第1階層のバンパアレイ表面上に、マスク合わせ用窓を形成する複数の領域を除いて前記配線パターン形成用の導電性金属膜を堆積し、前記導電性金属膜の表面にフォトレジストを塗布し、前記配線パターン用のフォトマスク上の合わせマークと、予め形成している前記半導体チップ上のマスク合わせマークとを、前記マスク合わせ用窓を通して合致させて露光し、前記フォトレジストの現像と、前記導電性金属膜のエッチングとを行なうことにより前記配線パターンを形成することが好ましい。

【0029】前記のような、チップサイズパッケージの製造方法によれば、半導体チップは表向きで、フォトリソ法で光学的に位置合わせしながら配線パターンを形成できるので、第1階層のバンパアレイ頂部と配線パターンとの位置合わせが高精度にできる。

【0030】次に、本発明の第2番目のチップサイズパッケージの製造方法は、半導体ウエハ表面の電極パッド上に第1階層のバンパアレイを形成する工程と、前記第1階層のバンパアレイを絶縁性材料に埋め込んで絶縁層を形成する工程と、前記絶縁層表面の研削又は研磨により、前記第1階層のバンパアレイ表面を露出させるとともに、前記絶縁層表面を平坦化させる工程と、前記露出した第1階層のバンパアレイ表面に接続する配線パターンを形成する工程と、前記配線パターンをランドとして前記配線パターンに第2階層のバンパアレイを形成する工程と、前記半導体ウエハを半導体チップ毎に切断する工程とを備えたことを特徴とする。

【0031】前記のような、チップサイズパッケージの製造方法によれば、多階層のバンパアレイを有するチップサイズパッケージをウエハ単位で製造することができ、量産性を向上させることができる。

【0032】次に、本発明の第3番目のチップサイズパッケージの製造方法は、半導体ウエハ表面の電極パッド上に第1階層のバンパアレイを形成する工程と、前記半導体ウエハの裏面にシートを張り付ける工程と、切断刃により前記シートを残して、前記半導体ウエハをチップ毎に切断する工程と、前記第1階層のバンパアレイ及び前記切断により形成された切断溝とを絶縁性材料に埋め込んで絶縁層を形成する工程と、前記絶縁層表面の研削又は研磨により、前記第1階層のバンパアレイ表面を露出させるとともに、前記絶縁層表面を平坦化させる工程と、前記露出した第1階層のバンパアレイ表面に接続する配線パターンを形成する工程と、前記配線パターンをランドとして前記配線パターンに第2階層のバンパアレイを形成する工程と、前記切断刃より薄い刃で前記半導体ウエハをチップ毎に再度切断する工程とを備えたことを特徴とする。

【0033】前記のような、チップサイズパッケージの製造方法によれば、多階層のバンパアレイを有するチップサイズパッケージをウエハ単位で製造でき、量産性を向上できるとともに、半導体チップの側面にも絶縁層を

形成できるので、力学的衝撃又は熱衝撃による半導体チップの欠けを防止できる。

【0034】前記第2番目、第3番目のチップサイズパッケージの製造方法においては、前記半導体ウエハのうち、前記第1階層のバンパアレイを含む面上に、熱可塑性樹脂を浸漬法又はコータ法により塗布することにより、前記第1階層のバンパアレイを熱可塑性樹脂に埋め込んで、前記絶縁層を形成することが好ましい。

【0035】また、前記半導体ウエハのうち、前記第1階層のバンパアレイを含む面上に、熱可塑性樹脂のシートを張り付け、前記シートの軟化温度以上の温度で熱圧縮することにより、前記第1階層のバンパアレイを熱可塑性樹脂に埋め込んで、前記絶縁層を形成することが好ましい。前記のようにシートを用いる製造方法は、バンパの高さが比較的低い場合に適している。

【0036】また、前記絶縁性材料として光透過性樹脂を用い、前記平坦化された絶縁層表面及び前記露出した第1階層のバンパアレイ表面上に、マスク合わせ用窓を形成する複数の領域を除いて前記配線パターン形成用の導電性金属膜を堆積し、前記導電性金属膜の表面にフォトレジストを塗布し、配線パターン用のフォトマスク上の合わせマークと、予め形成している前記半導体ウエハ上のマスク合わせマークとを、前記マスク合わせ用窓を通して合致させて露光し、前記フォトレジストの現像と、前記導電性金属膜とのエッチングを行なうことにより前記配線パターンを形成することが好ましい。

【0037】前記のような、チップサイズパッケージの製造方法によれば、半導体チップは表向きで、フォトリソ法で光学的に位置合わせしながら配線パターンを形成できるので、第1階層のバンパアレイ頂部と配線パターンとの位置合わせが高精度にできる。

【0038】

【発明の実施の形態】以下、本発明の一実施形態について図面を参照しながら説明する。

【0039】（実施の形態1）図1（a）は、本発明の実施形態1に係るCSPの平面図で、図1（b）は、図1（a）のI-I線における断面図である。半導体チップ1表面の電極パッド上に、導電性金属又は導電性ペーストの第1階層のバンパアレイ2が形成されている。

【0040】半導体チップ1及び第1階層のバンパアレイ2は絶縁性樹脂3によってモールドされている。絶縁性樹脂3の表面は平坦化され、かつ第1階層のバンパアレイ2の頂部は絶縁性樹脂3の表面に露出している。

【0041】絶縁性樹脂3の平坦化面には、蒸着又はメッキ等の方法で導電性金属膜を堆積した後、フォトリソ法で所望の配線パターン4が形成されている。配線パターン4の一端は、第1階層のバンパアレイ2に電気的に接続され、他端には後に説明する第2バンパアレイ5のためのランドが形成されている。

【0042】第1階層のバンパアレイ2はバンパとして



の機能に合わせ、半導体チップ1上の電極パッドと配線パターン4との層間接続のための、ビアの働きをしている。埋め込み用の絶縁性樹脂3として光透過性樹脂(透明樹脂)を用い、光学的なマスク合わせをすることによって、高密度の第1階層のバンパアレイ2と配線パターン4との間の高精度な位置合わせが可能になる。その結果、第1階層のバンパ2の頂部に配線パターン4を高精度で接続することができる。

【0043】第2階層のバンパアレイ5は、配線パターン4のランド上に形成されている。図1(a)では、簡略化のため、2辺分についての第2階層のバンパアレイ5の図示を省略している。第2階層のバンパアレイ5は第1階層のバンパアレイ2と比較して、バンパ間ピッチが拡大するように配置されている。第1階層のバンパアレイ2のバンパと第2階層のバンパアレイ5のバンパとのうち、対応するバンパ同士が配線パターン4で電気的に接続されている。

【0044】このようなバンパ配置によって、半導体チップ1表面に4辺配置された電極パッド列の小さなパッドピッチが第2階層のバンパアレイ5の大きなパッドピッチに拡大できることになり、実装工程に求められる位置合わせ精度が大幅に緩和される。

【0045】また、高い配列密度が求められる半導体チップ1表面の電極パッドには比較的小さく、かつ高さの低い第1階層のバンパアレイ2を形成し、第1階層のバンパアレイ2の配列密度よりもバンパの強度、高さが必要とされる回路基板との接続用のバンパには断面積が比較的大きく、かつ高さの高い第2階層のバンパアレイ5を形成している。

【0046】このように第1と第2の2階層のバンパ構成にすることにより、それぞれのバンパを適切なバンパサイズに設定でき、CSPの電極接続の高精度化と回路基板への実装性向上との両立が可能になる。

【0047】一般に、半導体チップと回路基板との間には、その構成材料の違いから熱膨張係数にかなり大きな差がある。このため、CSPにおいても半導体チップと回路基板との間の熱膨張係数に大きな差がある場合には、熱サイクルテストを行えば、バンパ部にせん断応力が加わり電気的接続が破壊され、信頼性が低下することになる。このようなせん断応力による接続破壊を軽減するためには、バンパを高くして応力の集中を避けることが効果的である。

【0048】本実施形態では第1と第2の2階層構造のバンパになっているために、従来のCSPに比べてバンパの高さが高くなり、せん断応力の低減効果は大きく、熱サイクルテストでの信頼性が大幅に向上する。さらに、埋め込み用の絶縁性樹脂として熱可塑性樹脂を用いれば、第1階層のバンパアレイ2に加わる熱応力による歪みが大幅に緩和され、信頼性が向上する。

【0049】以上、2階層のバンパアレイの構成につい

て説明したが、さらに絶縁性樹脂の埋め込み、研削又は研磨、及び配線パターンの形成を行い、バンパアレイ形成を積み重ねることにより、より多段のバンパ階層を有するチップサイズパッケージを製造することができる。

【0050】バンパ階層をより多段にした構成では工程が複雑になるが、配線層がより多層になるため外部接続用のバンパアレイの配列自由度を増大できるので、より多ピンのCSPを製造することが可能になる。

【0051】以下、図2(a)～(e)を参照しながら、本実施形態1に係るCSPの製造方法について説明する。図2(a)に示したように、半導体チップ1の各電極パッド上に、導電性金属の第1階層のバンパアレイ2を形成する。この形成には、スタッドバンパ法、選択的メッキ法、導電ペースト印刷法、又は半田ボール法等を用いる。

【0052】次に、図2(b)に示したように、半導体チップ1を、第1階層のバンパアレイ2全体が浸かる程度の深さの容器6に入れ、容器6内に光透過性の絶縁性樹脂3を第1階層のバンパ2全体が浸かるまで注入する。その後、絶縁性樹脂3の硬化温度まで加熱することにより絶縁性樹脂3を硬化させる。

【0053】絶縁性樹脂3の硬化後、絶縁性樹脂3によってモールドされた半導体チップ1を容器6から取り出す。この取り出しを容易にするためには、容器6の内壁を樹脂に対して離型性のある材料で形成しておくこと、又は容器6の内壁に離型剤を予め塗布しておくことが必要である。

【0054】次に、図2(c)に示したように絶縁性樹脂3によってモールドされた半導体チップ1の表面側の絶縁性樹脂3を研削、又は研磨して、絶縁性樹脂3表面を平坦化させるとともに、第1階層のバンパアレイ2の頂部を露出させる。

【0055】絶縁性樹脂3表面の平坦化面に、マスク合わせマーク7の周辺部を除く全面に蒸着法又はメッキ法によって導電性金属膜を堆積した後、フォトリソを塗布する。図2(d)に示したように、半導体チップ1上のマスク合わせマーク7と配線パターン4用のマスク(図示せず)上の合わせマークとを合致させた状態で露光させ、フォトリソの現像、導電性金属膜のエッチングの工程を経て、第1階層のバンパアレイ2と接続された配線パターン4を形成する。

【0056】この場合、埋め込み用の絶縁性樹脂3として光透過性樹脂を用いているので、光学的なマスク合わせができ、高密度の第1階層のバンパアレイ2と配線パターン4との間の高精度な位置合わせが可能になる。その結果、第1階層のバンパ2の頂部に配線パターン4を高精度で接続することができる。

【0057】各配線パターン4の一端には、第1階層のバンパアレイ2頂部が電気的に接続され、他端には次に説明する第2階層のバンパアレイ5を形成するためのラ

ンドが形成されている。

【0058】図2(e)に示したように、配線パターン4の各ランド上に第2階層のバンパアレイ5を形成する。この形成には、スタッドバンパ法、選択的メッキ法、導電ペースト印刷法、又は半田ボール法等を用いる。以上のような工程を経て、CSPの製造は完成する。

【0059】(実施の形態2)図3(a)は実施形態2に係るCSPの平面図で、図3(b)は図3(a)のII-II線における断面図である。

【0060】実施形態2に係るCSPは、平面的には半導体チップと同一のサイズになっている。図3(a)、(b)から分かるように、第1階層のバンパアレイ2のひとつ置きに第2階層のバンパアレイ5が絶縁性樹脂3上に形成されている。また、残りの第2階層のバンパアレイ5は第1階層のバンパアレイ2の直上に形成されているが、スペースがあれば、必ずしも第1階層のバンパ2の直上に第2階層のバンパ5を形成する必要はない。

【0061】図3(a)に示したように、絶縁性樹脂3上には第1階層のバンパ2の直上に形成された第2階層のバンパアレイ5以外に、第2階層のバンパアレイ5aのグループが形成されている。この第2階層のバンパアレイ5aは、対応する第1階層のバンパアレイ2と配線パターン4によって電氣的に接続されている。

【0062】第2階層のバンパアレイは、半導体チップ1の表面の内側に向かってグリッド状(格子状)に配列することにより、更にバンパの密度を向上させることができる。

【0063】以上のように、半導体チップ1の外側にバンパ配列が広がらないCSPでは、第1階層のバンパアレイ2の形成、絶縁性樹脂3の埋め込み、表面平坦化、配線パターン4形成、及び第2階層のバンパアレイ5の形成までの工程を半導体ウエハ単位で形成することができ、生産性が大幅に向上する。

【0064】図4は本発明の実施形態2に係るCSPを、半導体ウエハ単位で作成中の状態の平面図を示している。図示を簡略化するために、半導体8の各チップには、その構造を図示せず、本図の上側に一つ分のチップの拡大図を示している。この場合、一枚の半導体ウエハ8に32個の半導体チップが形成されている。

【0065】9はウエハ表面に形成されたマスク合わせ用のマークであり、半導体ウエハ8の左右に1対で形成されている。10はマスク合わせのための窓である、この窓10の領域には導電性金属を堆積しない。

【0066】以下、ウエハ単位でのCSPの製造方法について、図4、5を参照しながら説明する。実施形態1と同一構成のものは、同一符号を用いて説明する。図5は、実施形態2に係るCSPの製造工程図を示している。

【0067】まず、半導体ウエハ8上に形成された各電

極パッド上に、導電性金属又は導電性ペーストの第1階層のバンパアレイ2を形成する。この形成には、スタッドバンパ法、メッキ法、導電ペースト塗布法、又は半田ボール法等を用いる。

【0068】第1階層のバンパアレイ2を形成した半導体ウエハ8上に厚膜コータ法によって、第1階層のバンパアレイ2がカバーできる厚さの光透過性の絶縁性樹脂3を塗布する。その後、半導体ウエハ8を絶縁性樹脂3の硬化温度まで加熱して、絶縁性樹脂3を硬化させる。

【0069】次に、研磨、又は研削工程によって絶縁性樹脂3表面を平坦化するとともに、平坦化面に第1階層のバンパアレイ2を露出させる。絶縁性樹脂3の平坦化面に、マスク合わせ部10を除く全面に蒸着法又はメッキ法によって導電性金属膜を堆積した後、フォトリソを塗布する。

【0070】半導体ウエハ8上のマスク合わせマーク9と配線パターン4用のマスク(図示せず)上の合わせマークとを合致させた状態で露光し、フォトリソの現像、導電性金属膜のエッチングの工程を経て配線パターン4を形成する。

【0071】配線パターン4の一端では、第1階層のバンパアレイ2の頂部が電氣的に接続され、他端には第2階層のバンパアレイ5を形成するためのランドが形成されている。配線パターン4は光学的マスク合わせにより形成しているので、配線パターン4の一端と第1階層のバンパ2頂部とは、高い位置精度で接続される。

【0072】次に、配線パターン4の他端のランド上に、第2階層のバンパアレイ5を形成する。この形成には、スタッドバンパ法、選択的メッキ法、導電ペースト印刷法、又は半田ボール法等を用いる。第2階層のバンパ5は、せん断歪みを軽減するために第1階層のバンパ2に比べて高さを高くし、かつバンパ間ピッチを大きくするとともにバンパの断面積を大きくする。

【0073】その結果、回路基板への実装を容易にするとともに、バンパ強度増大によりチップリペア耐性を向上させることができる。第2階層のバンパアレイ5を形成したウエハをチップ境界のスクライブレーンに沿って切断することによって、ウエハ単位でのCSPの製造が完了する。

【0074】第2階層のバンパアレイ5の配列に余裕があれば、本実施形態のように全てのバンパをチップ表面上に形成することによりCSPのサイズを半導体チップ1のサイズと等しくできるとともに、量産性も大幅に向上させることができる。以上のように、本発明は信頼性及び量産性の両面からウエハレベルでのCSPの有望な製造方法である。

【0075】なお、本実施形態2に係るCSPの製造方法では、厚膜コータによる塗布法でウエハ表面に絶縁性樹脂3を形成していたが、第1階層のバンパアレイ2を含む半導体ウエハ8表面に熱可塑性の樹脂シートを張り



付け、樹脂シートの軟化温度以上の温度で熱圧縮することにより、第1階層のバンプアレイ2を熱可塑性樹脂に埋め込むことも可能である。バンプの高さが比較的低い場合に、この方法が適している。

【0076】（実施の形態3）図6は、本発明の実施形態3に係る製造方法を用いて製造したCSPの断面構造を示している。本図において、前記実施形態1、2と同一符号の構成部材については、特に説明のない限り、実施形態1、2と同様の機能を持つ。

【0077】本実施形態に係るCSPは、実施形態2と同様にウエハレベルで製造し、半導体チップとほぼ同一サイズであるが、半導体チップ側面が絶縁性樹脂で覆われている点が、実施形態2に係るCSPと異なっている。このように、半導体チップの側面が絶縁性樹脂で覆われているために、力学的衝撃又は熱衝撃による半導体チップの欠けを防止できる。

【0078】図4、6、7を参照しながら実施形態3に係るCSPの製造方法を説明する。図7は、実施形態3に係るCSPの製造工程図を示している。前処理を終了した半導体ウエハ8の電極パッド上に、スタッドバンプ法、メッキ法、印刷法、又は半田ボール法等で第1階層のバンプアレイ2を形成した後、半導体ウエハ8裏面に接着剤付きシートに張り付ける。

【0079】接着剤付きシートを残して半導体ウエハ8のみを、切断刃として比較的厚めのダイヤモンドブレードで半導体チップの境界線に沿ってフルカットする。切断後は、各半導体チップ1は切り代に相当する間隔を保って接着剤シート上に規則正しく配列、仮固定されることになる。

【0080】次に、厚膜コート法によって、半導体ウエハ8上に光透過性の絶縁性樹脂3を塗布する。この塗布は、絶縁性樹脂3が第1階層のバンプアレイ2をカバーする厚さになるまで行う。この工程によって、絶縁性樹脂3は、半導体ウエハ8表面だけでなく、チップ間の間隙にも注入される。絶縁性樹脂3の注入、塗布後は、半導体ウエハ8を絶縁性樹脂3の硬化温度にまで加熱して絶縁性樹脂3を硬化させる。

【0081】次に、研磨、又は研削工程で、絶縁性樹脂3表面を平坦化するとともに、この平坦化面に第1階層のバンプアレイ2を露出させる。絶縁性樹脂3の平坦化面に、マスク合わせ部10（図4）を除く全面に蒸着法又はメッキ法によって導電性金属膜を堆積させた後、フォトリソを塗布する。

【0082】半導体ウエハ8上のマスク合わせマーク9（図4）と配線パターン4用のマスク（図示せず）上の合わせマークとを合致させた状態で露光し、フォトリソの現像、導電性金属膜のエッチングの工程を経て、配線パターン4を形成する。

【0083】配線パターン4の一端には、第1階層のバンプアレイ2の頂部が電気的に接続され、他端には第2

階層のバンプアレイ5を形成するためのランドが形成されている。配線パターン4は光学的マスク合わせにより形成しているため、配線パターン4の一端と第1階層のバンプ2頂部とは、高い位置精度で接続される。

【0084】次に、配線パターン4の他端のランド上に、第2階層のバンプアレイ5を形成する。この形成には、スタッドバンプ法、選択的メッキ法、導電ペースト印刷法、又は半田ボール法等を用いる。

【0085】次に、1回目のダイシングの場合よりも薄いブレードを用いて、半導体ウエハ8を前の切断線の中心線に沿ってフルカットすることにより、半導体チップ毎に分離、分割する。その結果、図6に示したように、半導体チップ1の側面も絶縁性樹脂3でモールドされたCSPが完成する。

【0086】なお、第1階層のバンプアレイ2を形成した後、半導体ウエハ8裏面に接着剤付きシートを張り付けた場合を説明したが、第1階層のバンプアレイ2の形成前に、半導体ウエハ8裏面に接着剤シートを張り付けてもよい。

【0087】また、厚膜コートによる塗布法を用いてウエハ表面に絶縁性樹脂3を形成した場合を説明したが、第1階層のバンプアレイ2を含む半導体ウエハ8表面に熱可塑性の樹脂シートを張り付け、軟化温度以上の温度で熱圧縮することにより、第1階層のバンプアレイ2を熱可塑性樹脂に埋め込んでもよい。バンプの高さが比較的低い場合に、この方法が適している。

【0088】

【発明の効果】以上のように、本発明のCSPによれば、バンプアレイを複数の階層とすることにより、必然的にバンプ全体の高さが高くなり、CSPと回路基板との熱膨張係数の差によるせん断応力を緩和、軽減できる。

【0089】また、2階層構造のバンプアレイとしたCSPでは、第1階層のバンプサイズを比較的小さくし、第2階層のバンプサイズを比較的大きくすることにより、バンプピッチの縮小とバンプ強度の増大という相反する効果を両立させることができる。

【0090】また、本発明のCSPの製造方法によれば、複数階層のバンプアレイを形成することができ、前記絶縁性材料として光透過性樹脂を用いた製造方法によれば、半導体チップは表向きで、フォトリソ法で光学的に位置合わせしながら配線パターンを形成できるので、第1階層のバンプアレイ頂部と配線パターンとの位置合わせが高精度にできる。

【図面の簡単な説明】

【図1】（a）実施形態1に係るCSPの平面図  
（b）図1（a）のI-I線における断面図

【図2】実施形態1に係るCSPの製造工程図

【図3】（a）実施形態2に係るCSPの平面図  
（b）図3（a）のII-II線における断面図

【図4】実施形態2に係るCSPの半導体ウエハ単位で作成中の平面図

【図5】実施形態2に係るCSPの製造工程図

【図6】実施形態3に係るCSPの断面図

【図7】実施形態3に係るCSPの製造工程図

【図8】従来例に係るCSPの断面図

【図9】(a)図8に示したCSPのキャリア基板表面側の平面図

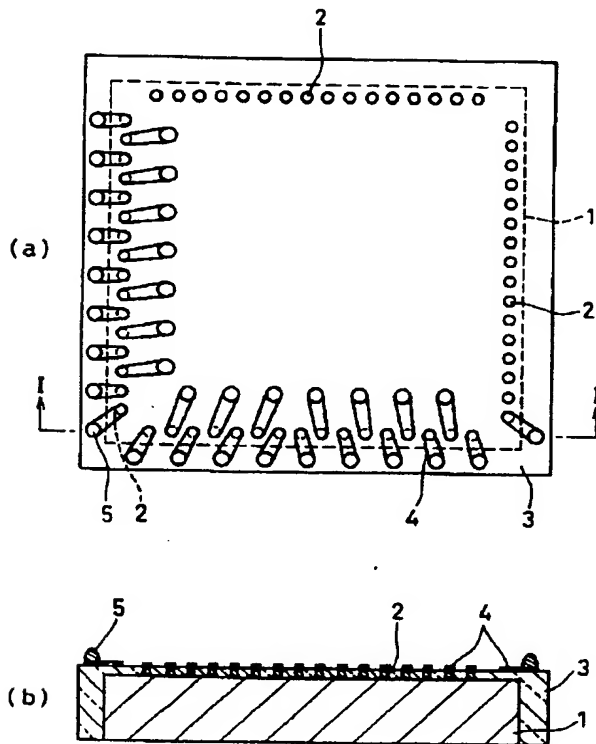
(b)図8に示したCSPのキャリア基板裏面側の平面図

【符号の説明】

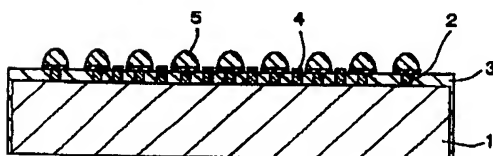
- 1 半導体チップ
- 2 第1階層のバンプアレイ
- 3 絶縁性樹脂
- 4 配線パターン

- 5 第2階層のバンプアレイ
- 6 容器
- 7 マスク合わせマーク
- 8 半導体ウエハ
- 9 半導体ウエハ上のマスク合わせマーク
- 10 マスク合わせ用の窓
- 12 バンプ
- 13 キャリア基板
- 14 絶縁層
- 15 配線層
- 16 層間接続用ビア
- 17 チップ側電極
- 18 外部接続用端子

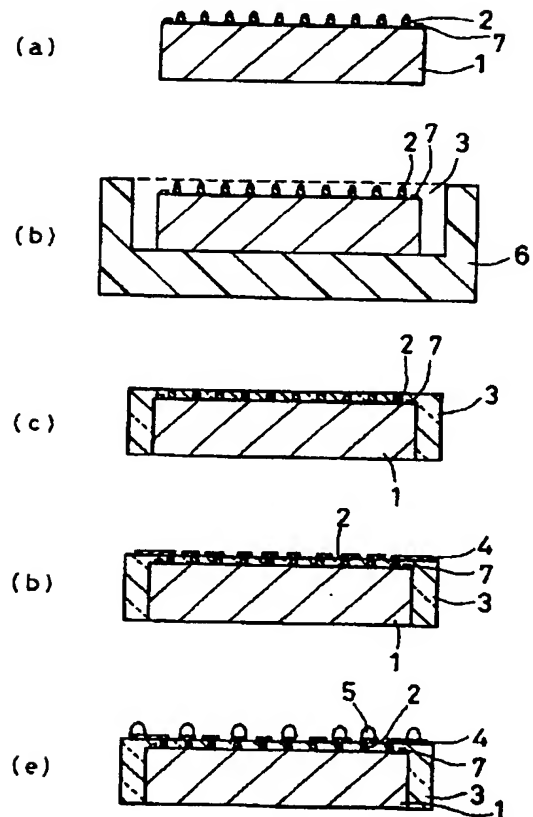
【図1】



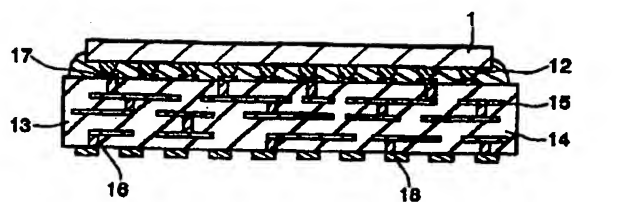
【図6】



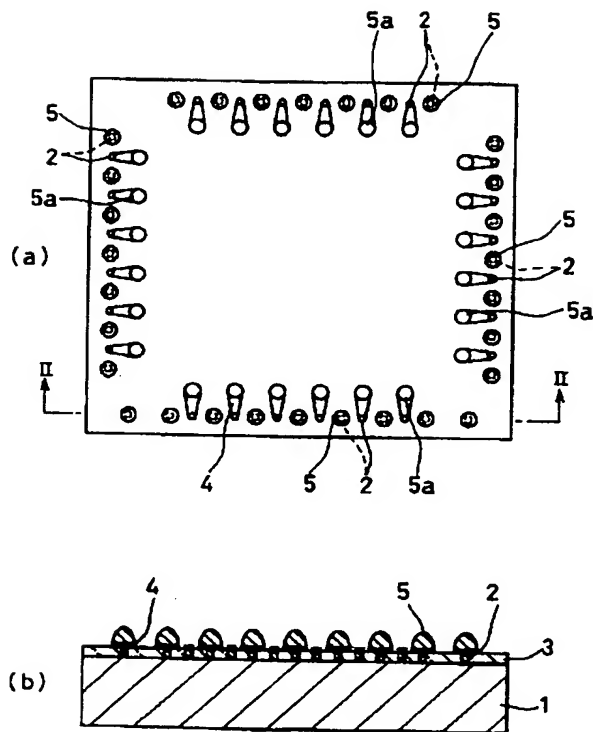
【図2】



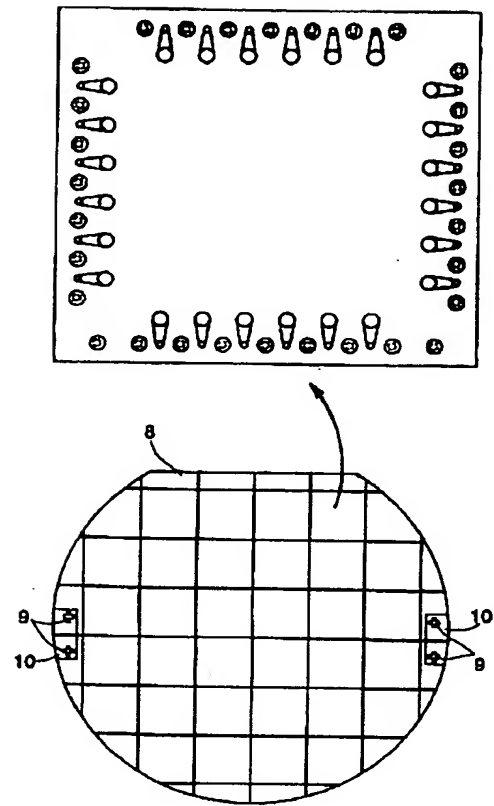
【図8】



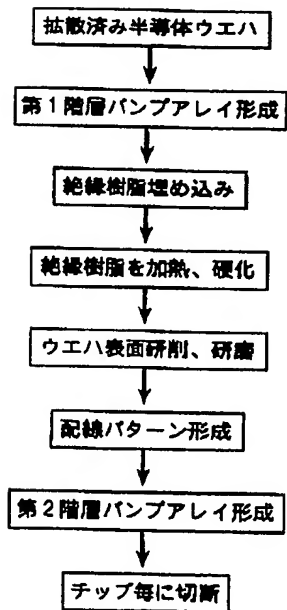
【図3】



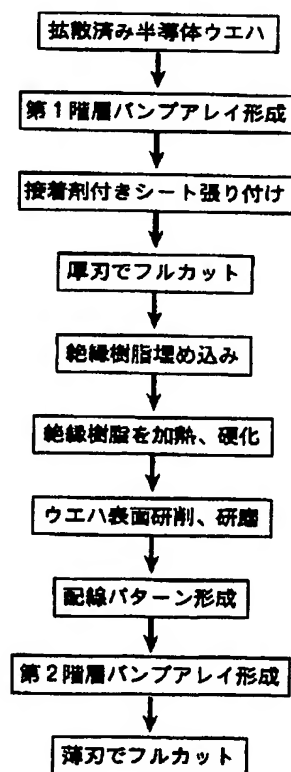
【図4】



【図5】



【図7】



【図9】

